

MAKALAH

THE CURRENT MIRROR



DOSEN PENGAJAR

ALFITH, S.Pd, M.Pd

DISUSUN OLEH

KELOMPOK 5

HERU SYAPUTRA 2018310013

M.ALA KURNIA 2018310012

AIDIL KAMAL 2018310026

ASYIFA MEDINA AZAHRA 2018310007

**INSTITUT TEKNOLOGI PADANG
FAKULTAS TEKNIK INDUSTRI
TEKNIK ELEKTRO
2019**

KATA PENGANTAR

Puji syukur alhamdulillah kami panjatkan ke hadirat Tuhan Yang Maha Esa, karena telah melimpahkan rahmat-Nya berupa kesempatan dan pengetahuan sehingga makalah ini bisa selesai pada waktunya.

Terima kasih juga kami ucapkan kepada teman-teman yang telah berkontribusi dengan memberikan ide-idenya sehingga makalah ini bisa disusun dengan baik dan rapi.

Kami berharap semoga makalah ini bisa menambah pengetahuan para pembaca. Namun terlepas dari itu, kami memahami bahwa makalah ini masih jauh dari kata sempurna, sehingga kami sangat mengharapkan kritik serta saran yang bersifat membangun demi terciptanya makalah selanjutnya yang lebih baik lagi

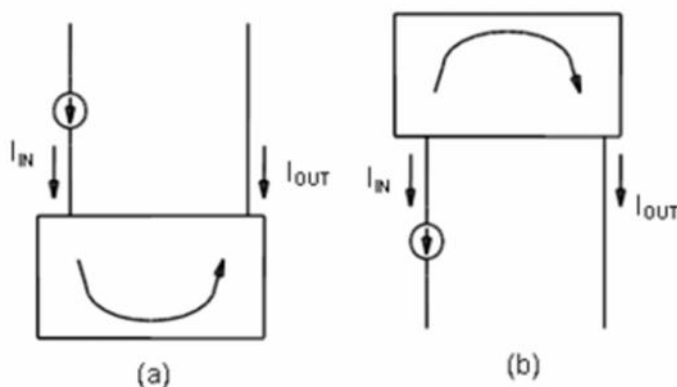
Daftar Isi

HALAMAN JUDUL	i
KATA PENGANTAR	ii
DAFTAR ISI	iii
BAB PENDAHULUAN	1
• A. Latar Belakang	2
• B. Rumusan Masalah	2
• C. Tujuan Penulisan	3
• D. Manfaat Penulisan	3
BAB II PEMBAHASAN	4
• Pengertian current mirror	12
• Tahap input untuk mengubah arus menjadi tegangan.....	12
• Tahap keluaran untuk mengubah tegangan menjadi arus.....	12
• Memasang rangkaian lengkap	16
• Keuntungan current	20
• Ketidakefektifan current sederhana	25
• Kesalahan Keuntungan	
• Tegangan kepatuhan	
• Resistansi keluaran.....	
• Current dasar MOSFET saat ini	
• Peningkatan current mirror	
• Umpan Balik Buffered mirror saat ini	
• Cermin Wilson mirror.....	
• Perbaikan lebih lanjut (Current Wilson penuh)	
• Sumber arus widlar	
• Analisis.....	
• Impedansi keluaran.....	

BAB III PENUTUP	26
• A. Simpulan	30
• B. Saran	31
DAFTAR PUSTAKA	32

CURRENT MIRROR

CURRENT MIRROR adalah blok sirkuit yang berfungsi untuk menghasilkan salinan arus yang mengalir masuk atau keluar dari terminal input dengan mereplikasi arus di terminal output. Fitur penting dari mirror saat ini adalah resistansi keluaran yang relatif tinggi yang membantu menjaga output konstan saat ini terlepas dari kondisi beban. Fitur lain dari mirror saat ini adalah resistansi input yang relatif rendah yang membantu menjaga input konstan saat ini terlepas dari kondisi drive. Arus yang sedang 'disalin' dapat, dan seringkali, arus sinyal yang bervariasi. tingkat blok ideal cermin saat ini ditunjukkan pada Gambar 11.1. Diberikan sumber arus sebagai input, bagian input cermin saat ini terlihat seperti hubung singkat virtual dan memantulkan (menukar arah aliran) arus ini untuk menghasilkan wastafel arus (arus yang keluar dari cermin); sebagai hasilnya, kami mendapatkan wastafel saat ini (gambar 11.1a)



Gambar 11.1, Sumber CURREN MIRROR (a) Wastafel (b)

1.1 Tahap input untuk mengubah arus menjadi tegangan

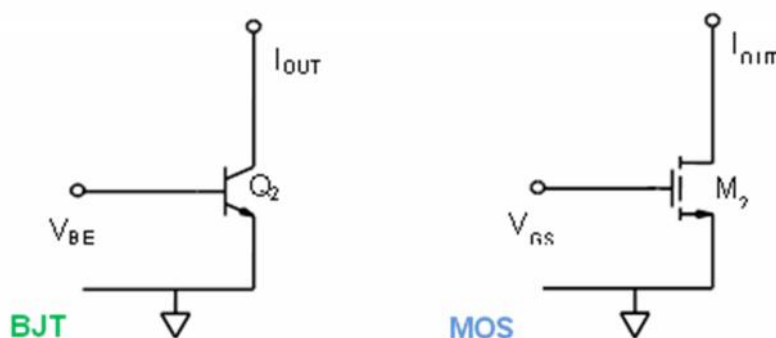
Kami ingin konfigurasi sederhana di mana elemen aktif, satu transistor, berfungsi sebagai konverter arus ke tegangan yang diinginkan. Namun, transistor adalah perangkat searah, di mana untuk BJT tegangan basis emitor mengontrol arus kolektor atau untuk FET tegangan sumber gerbang mengontrol arus drain. Menghasilkan sebaliknya di mana arus kolektor mengontrol V_{BE} tidak dimungkinkan dalam penggunaan konvensional perangkat sebagai penguat emitor umum. Mengacu kembali ke Gambar 11.1.1, solusinya adalah dengan memasukkan umpan balik negatif. Dalam hal ini berarti membuat transistor menyesuaikan basis emitor atau tegangan sumber gerbang, V_{BE} atau V_{GS} , sehingga arus kolektor atau tiriskan adalah $I_{IN} = (V_1 - V_{BE}) / R$. Untuk tujuan ini, kita cukup menghubungkan kolektor ke pangkalan

atau gerbang untuk mengalirkan atau "menghubungkan dioda" transistor. Koneksi "dioda" klasik ini menghasilkan 100% umpan balik negatif paralel (gambar 11.2). Akibatnya, dengan transistor terhubung dioda ini, arus kolektor berfungsi sebagai jumlah input sedangkan tegangan basis-emitor V_{BE} berfungsi sebagai kuantitas output dengan fungsi transfer logaritmik dari persimpangan emitor basis. Demikian pula, mode peningkatan terhubung dioda MOS FET (gerbang terikat untuk mengalirkan) akan berfungsi sebagai konverter arus ke tegangan yang serupa dengan V_{GS} sebagai jumlah output daripada V_{BE} .



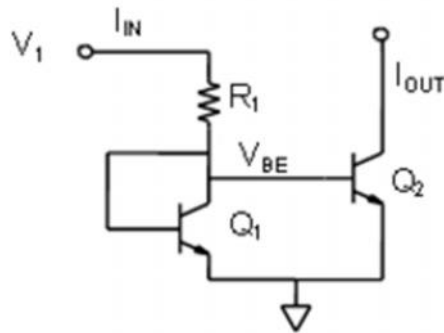
1.2 Tahap keluaran untuk mengubah tegangan menjadi arus

Transistor bipolar dapat digerakkan oleh tegangan atau oleh arus. Jika kita menganggap tegangan basis emitor, V_{BE} , sebagai input dan arus kolektor, I_C , sebagai output (gambar 11.3), kita dapat menganggap transistor sebagai konverter tegangan-ke-arus non-linier yang memiliki eksponensial. ciri. Basis dapat langsung digerakkan oleh output tegangan dari konverter I-ke-V yang baru saja kita diskusikan. Kolektor menyediakan terminal keluaran cermin arus sederhana kami: Tahap konverter V ke I dari cermin arus sederhana hanyalah sebuah transistor yang bertindak sebagai konverter tegangan-ke-arus non-linier (eksponensial untuk BJT). Sekali lagi jika transistor MOS digunakan untuk tahap input, tahap output akan menjadi transistor MOS dengan gerbang berfungsi sebagai input tegangan dan tiriskan sebagai output saat ini.



1.3 Memasang rangkaian lengkap

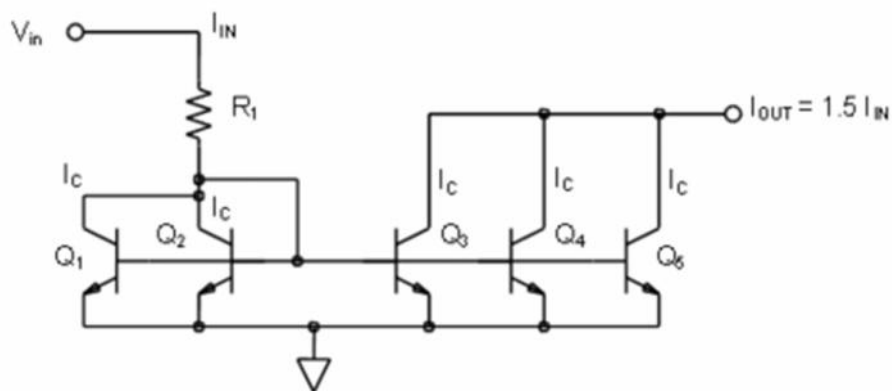
Langkah terakhir adalah menghubungkan output dari tahap input (persimpangan emitor basis Q_1) ke input tahap output (persimpangan emitor dasar Q_2) untuk membangun sirkuit cermin dasar arus BJT saat ini (gambar 11.4). Pada titik ini kami akan berkonsentrasi pada masalah yang terlibat dengan mirror BJT saat ini dan mengambil kembali dengan mirror MOS saat ini di bagian 11.6.



Gambar 11.4, CURRENT MIRROR BJT

1.4 Keuntungan current

Jika transistor Q_1 dan Q_2 pada gambar 11.4 adalah identik (yang memiliki ukuran emitor yang sama dan dengan demikian sama dengan I_s) arus input ke output current ratio atau gain idealnya 1. Sering ada kesempatan ketika gain selain satu adalah wajib. Ketika membangun sirkuit dari perangkat diskrit, hanya rasio integer sederhana yang dimungkinkan sementara di sirkuit terintegrasi mikroelektronika dimungkinkan untuk membuat transistor dengan area emitor sewenang-wenang, A. Namun, bahkan di sirkuit terpadu praktik desain terbaik adalah menggunakan transistor ukuran unit yang identik ketika membuat arus cermin.



Gambar 11.4.1, Mirror Saat Ini dengan rasio gain tidak unary

Jika di sisi input cermin kita menghubungkan N perangkat yang identik secara paralel dan menghubungkan perangkat M secara paralel di sisi output, gain cermin akan menjadi M / N . Pada Gambar 11.4.1 kita melihat contoh di mana 2 ($N = 2$) perangkat terhubung bersama pada input dan 3 ($M = 3$) perangkat terhubung bersama pada output. Keuntungan cermin dengan demikian akan menjadi $3/2$ atau 1,5. Karena kelima transistor berbagi tegangan V_{BE} yang sama, arus kolektornya, I_c , semuanya akan sama. I_{IN} input saat ini terbagi rata di Q_1 dan Q_2 sedemikian rupa sehingga:

$$I_C = \frac{I_{IN}}{2}, I_{OUT} = 3I_C \text{ atau } \left(\frac{3}{2}\right)I_{IN}$$

1.5 Ketidaktepatan current sederhana

Ada tiga sumber kesalahan utama yang membuat mirror 2 transistor sederhana kurang dari ideal. Yang pertama adalah gain mirror. Idealnya I_{OUT} harus persis sama dengan I_{IN} . Ada faktor-faktor sistematis dan acak yang membuat ini tidak terjadi. Yang kedua adalah resistansi keluaran tambahan, yang menentukan seberapa besar arus keluaran bervariasi dengan tegangan yang terlihat pada keluaran cermin. Batasan ketiga adalah penurunan tegangan minimum melintasi kaki keluaran dari cermin yang diperlukan untuk mempertahankan arus keluaran yang diinginkan. Tegangan minimum ini, yang disebut kepatuhan keluaran, ditentukan oleh kebutuhan untuk menjaga transistor keluaran cermin di wilayah aktif. Ada juga sejumlah masalah kinerja sekunder dengan mirror, misalnya, stabilitas suhu dan respons frekuensi.

1.6 Kesalahan Keuntungan

Sumber kesalahan dalam mirror current berbasis BJT sederhana ini adalah bahwa transistor Q_1 dan Q_2 (gambar 11.4) masing-masing menghilangkan arus basis I_B dari arus input I_{IN} . Akibatnya, arus keluaran lebih kecil dari arus input:

$$I_{OUT} = I_{IN} - 2I_B$$

Seperti yang sudah dibahas, mirror saat ini dapat dengan mudah dibuat dari transistor MOS FET. Fungsi I-to-V dan V-to-I berbeda tetapi tentu saja masih kebalikan satu sama lain. Keuntungan signifikan dari mirror MOS saat ini adalah kurangnya kesalahan arus basis yang diinduksi yang diderita oleh mirror BJT current. Ada beberapa metode untuk memperbaiki atau mengkompensasi arus basis dalam mirror current BJT yang akan dibahas secara rinci di bagian selanjutnya dari bab ini.

1.7 Tegangan kepatuhan

Hal ini diperlukan untuk menjaga output (BJT) transistor keluar dari saturasi, $V_{CB} = 0$ V. Atau dari perspektif lain, tidak memungkinkan persimpangan basis kolektor untuk meneruskan bias. Itu berarti tegangan keluaran terendah yang menghasilkan arus keluaran yang benar, tegangan kepatuhan, adalah $V_{OUT} = V_{CV} = V_{BE}$ dalam kondisi bias dengan transistor keluaran pada tingkat arus keluaran I_C dan dengan $V_{CB} = 0$ V atau, menyatakan kembali relasi V_{BE} dari sebelumnya:

$$V_{CV} = V_T \ln\left(\frac{I_C}{I_S}\right)$$

Di mana V_T adalah tegangan termal dan I_S adalah arus saturasi terbalik.

1.8 Resistansi keluaran

V_{CB} dari Q_1 di cermin adalah nol. Jika V_{CB} lebih besar dari nol pada output transistor Q_2 , arus kolektor di Q_2 akan agak lebih besar dari Q_1 karena efek awal. Dengan kata lain, cermin memiliki resistansi keluaran terbatas yang diberikan oleh r_O dari transistor keluaran, yaitu:

$$R_N = r_O = \frac{V_{CB} + V_A}{I_C}$$

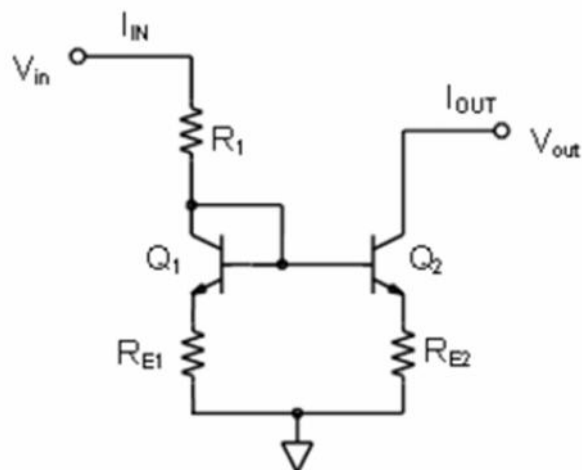
Dimana:

V_A adalah tegangan awal

V_{CB} adalah tegangan kolektor-ke-pangkalan

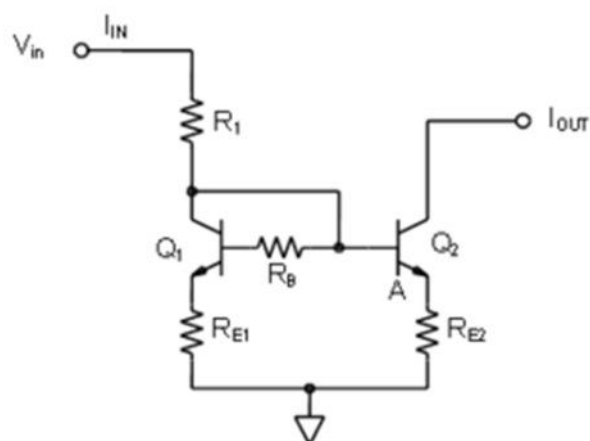
Seperti yang telah kita pelajari pada bab sebelumnya, dimasukkannya resistor degenerasi emitor (R_{E1} dan R_{E2} pada gambar 11.5) dapat meningkatkan impedansi kolektor efektif yang terlihat pada keluaran cermin. Agar gain cermin tetap sama dengan 1, R_{E1} tentu saja harus sama dengan R_{E2} . Penurunan tegangan yang ditambahkan melintasi resistor emitor R_{E2} ($I_{OUT} \times R_{E2}$) menambah tegangan output minimum yang diijinkan (lihat bagian 11.5.2).

Sementara resistor juga dapat ditambahkan ke sumber dalam mirror berbasis MOS, seringkali lebih efektif untuk meningkatkan panjang saluran, L , dari transistor. Semakin lama saluran semakin sedikit dipengaruhi oleh modulasi panjang saluran karena meningkatnya tegangan saluran.



Gambar 11.5, Degenerasi emitor termasuk untuk mem-boot resistansi keluaran.

Penting untuk dicatat bahwa dimasukkannya resistor emitor tidak mengurangi pengurangan arus keluaran I_{OUT} yang disebabkan oleh beta hingga Q_1 dan Q_2 . Tegangan kompensasi dapat dimasukkan dengan memasukkan resistor R_B , dengan nilai yang benar, seperti yang ditunjukkan pada Gambar 11.6.



Gambar 11.6, Menambahkan resistor di dasar Q_1 cenderung untuk mengimbangi beta hingga Q_2

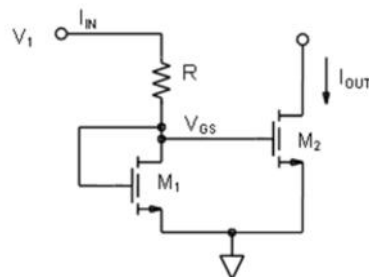
Untuk V_{CB} mendekati nol (yaitu, mengabaikan kesalahan modulasi lebar-dasar) nilai yang diperlukan untuk R_B adalah:

$$R_B = \frac{\beta + 1}{\beta - A} (1 + A)(r_E + R_{E1})$$

Sebagai contoh, menggunakan $A = 2$ (gain cermin 2), $I_{IN} = 1\text{mA}$, jadi $r_E = 26\Omega$ dan $R_{E1} = 500\Omega$ (memperkenalkan sekitar 500mV degenerasi) R_B harus 1578Ω jika β cukup lebih besar dari A sehingga faktor itu dapat diabaikan, atau 1626Ω jika dimasukkan dan beta 100. Jelas, metode kompensasi ini menjadi tidak dapat diprediksi ketika β kecil dan sebanding dengan A dan tidak akan pernah tepat karena β_1 dan β_2 secara umum tidak sama. Namun, teknik ini dapat berguna praktis dalam banyak kasus.

1.9 Current dasar MOSFET saat ini

Cermin sederhana saat ini dapat, jelas, juga diimplementasikan menggunakan transistor MOSFET, seperti yang ditunjukkan pada Gambar 11.7. Kita tahu bahwa transistor M_1 beroperasi di daerah saturasi karena V_{DS} lebih besar dari atau sama dengan V_{GS} . Transistor M_2 juga akan berada dalam saturasi selama tegangan output lebih besar dari tegangan saturasinya. Dalam konfigurasi sederhana ini, arus keluaran I_{OUT} secara langsung berkaitan dengan I_{IN} .



Gambar 11.7 Cermin sederhana MOS saat ini

Saluran pembuangan MOSFET I_D adalah fungsi dari kedua gerbang ke sumber tegangan dan tegangan mengalir ke gerbang dari MOSFET yang diberikan oleh $I_D = f(V_{GS}, V_{DG})$, hubungan yang diturunkan dari fungsi MOSFET alat. Dalam kasus transistor M_1 dari cermin, $I_D = I_{IN}$. Arus input I_{IN} adalah arus yang diketahui, dan dapat disediakan oleh resistor seperti yang ditunjukkan pada gambar, atau dengan sumber arus yang dirujuk-ulang atau bias sendiri untuk memastikannya konstan, tidak tergantung pada variasi pasokan tegangan.

Menggunakan $V_{DG} = 0$ untuk transistor M_1 , arus pembuangan di M_1 adalah $I_D = f(V_{GS}, V_{DG} = 0)$, jadi kami menemukan: $f(V_{GS}, 0) = I_{IN}$, secara implisit menentukan nilai dari V_{GS} . Dengan demikian I_{IN} menetapkan nilai V_{GS} . Sirkuit dalam diagram memaksa V_{GS} yang sama untuk diterapkan pada transistor M_2 . Jika M_2 juga bias dengan nol V_{DG} dan transistor yang disediakan M_1 dan M_2 memiliki kecocokan yang baik dari sifat-sifat mereka, seperti panjang saluran, lebar, tegangan ambang dll., Hubungan $I_{OUT} = f(V_{GS}, V_{DG} = 0)$ berlaku, dengan demikian pengaturan $I_{OUT} = I_{IN}$; yaitu, arus keluaran sama dengan arus input ketika $V_{DG} = 0$ untuk transistor output, dan kedua transistor cocok.

Tegangan drain-ke-sumber dapat dinyatakan sebagai $V_{DS} = V_{DG} + V_{GS}$. Dengan penggantian ini, model Shichman-Hodges menyediakan bentuk perkiraan untuk fungsi $f(V_{GS}, V_{DG})$:

$$I_D = f(V_{GS}, V_{DG}) = \frac{1}{2} K_p \left(\frac{W}{L}\right) (V_{GS} - V_{th})^2 (1 + \lambda V_{DS})$$

$$I_D = \frac{1}{2} K_p \left(\frac{W}{L} \right) (V_{GS} - V_{th})^2 \left(1 + \lambda (V_{DG} + V_{GS}) \right)$$

Dimana:

K_p adalah konstanta terkait teknologi yang terkait dengan transistor,

W/L adalah rasio lebar ke panjang dari transistor,

V_{GS} adalah tegangan gerbang-sumber, V_{th} adalah tegangan ambang, V_{DS} adalah tegangan sumber-saluran

λ adalah konstanta modulasi panjang saluran

Resistensi keluaran

Karena modulasi panjang saluran, cermin memiliki resistansi keluaran terbatas yang diberikan oleh r_o dari output transistor, yaitu:

$$R_N = r_o = \frac{1/\lambda + V_{DS}}{I_D}$$

Dimana:

λ = parameter modulasi panjang saluran

V_{DS} = bias mengalir ke sumber.

Tegangan kepatuhan

Untuk menjaga resistansi transistor keluaran tetap tinggi, $V_{DG} = 0$ V. Itu berarti tegangan keluaran terendah yang menghasilkan perilaku cermin yang benar, tegangan kepatuhan, adalah $V_{OUT} = V_{CV} = V_{GS}$ untuk transistor keluaran pada tingkat arus keluaran dengan $V_{DG} = 0$ V, atau menggunakan kebalikan dari f -fungsi, f^{-1} :

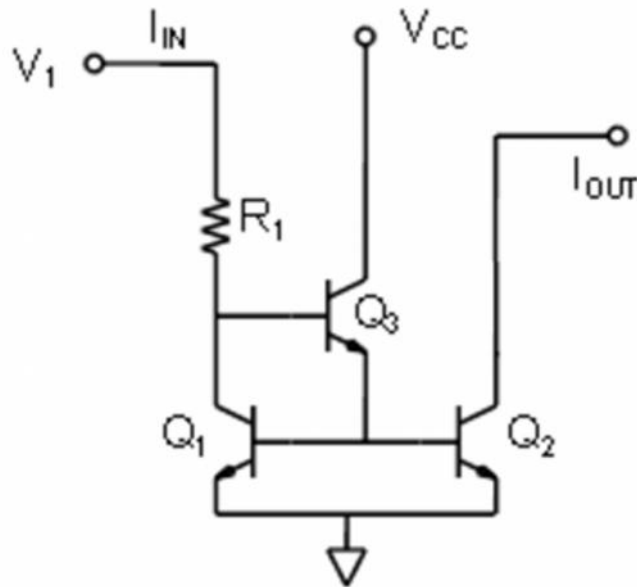
$$V_{CV} = V_{GS}(\text{for } I_D \text{ at } V_{DG} = 0V) = f^{-1}(I_D) \text{ with } V_{DG} = 0$$

Untuk model Shichman-Hodges, f^{-1} adalah sekitar fungsi akar kuadrat.

1.10 Peningkatan current mirror

1.10.1 Umpan Balik Buffered mirror saat ini

Gambar 11.8 menunjukkan cermin di mana kawat sederhana yang menghubungkan kolektor Q1 ke pangkalannya digantikan oleh buffer pengikut emitor. Peningkatan pada cermin arus sederhana ini disebut sebagai cermin augmented pengikut emitor. Keuntungan saat ini (β_{o3}) dari tahap buffer follower emitor (o_3) sangat mengurangi kesalahan penguatan yang disebabkan oleh arus basis hingga Q1 dan Q2.



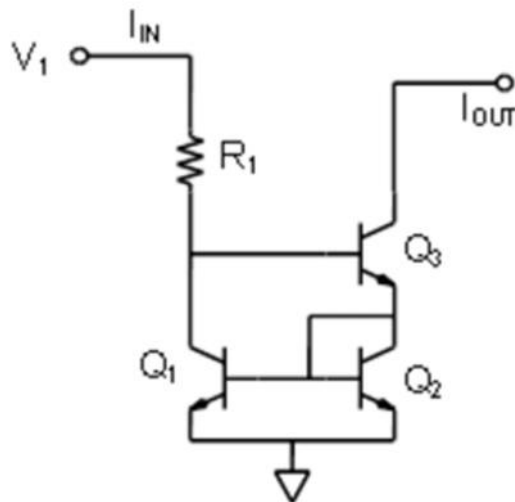
Gambar 11.8 Umpan Balik Buffered mirror saat ini.

Satu hal yang perlu diperhatikan yang berbeda dalam konfigurasi cermin ini dibandingkan cermin dua transistor sederhana adalah bahwa tegangan Collector-Base, V_{CB} , dari Q_1 tidak lagi nol. Ini sama dengan V_{BE} dari Q_3 . Mengingat efek dari resistansi keluaran yang terbatas (efek awal), arus keluaran I_{OUT} di Q_2 akan paling cocok dengan I_{IN} ketika tegangan kolektor Q_2 sama dengan Q_1 yang $2XV_{BE}$ di atas tegangan umum. Perhatikan juga bahwa ketika digerakkan oleh resistor, seperti R_1 , I_{IN} sekarang akan menjadi $(V_1 - V_{BE1} - V_{BE2}) / R_1$.

Konsekuensi lain dari penambahan buffer pengikut emitor adalah, secara umum, hilangnya respons frekuensi cermin. Transistor Q_3 berpotensi beroperasi pada arus yang sangat kecil yaitu $2I_B$. Jika ada kapasitansi yang signifikan untuk membumikan pada koneksi dasar yang umum untuk Q_1 dan Q_2 saat ini tersedia untuk melepaskan arus ini juga akan kecil sama dengan $2I_B$. Tetapi arus yang tersedia untuk mengisi node ini berpotensi sama dengan $\beta_{Q3} I_{IN}$ yang jauh lebih besar dari $2I_B$. Asimetri pada arus pengisian vs. pemakaian yang tersedia untuk simpul ini di cermin saat ini dapat menyebabkan respons yang sangat tidak diinginkan terhadap perubahan cepat pada I_{IN} .

1.10.2 Cermin Wilson mirror

Mirror arus Wilson atau sumber arus Wilson, dinamai George Wilson, adalah konfigurasi rangkaian cermin yang ditingkatkan yang dirancang untuk menyediakan sumber arus yang lebih konstan atau sink. Ini memberikan input yang jauh lebih akurat untuk mendapatkan keuntungan saat ini. Struktur ditunjukkan pada Gambar 11.9.



Gambar 11.9 Cermin Lancar Wilson

Kami akan membuat dua asumsi berikut. Pertama, semua transistor memiliki gain arus yang sama β . Kedua, Q_1 dan Q_2 dicocokkan, sehingga arus kolektornya sama. Oleh karena itu, $I_{C1} = I_{C2} (= I_C)$ dan $I_{B1} = I_{B2} (= I_B)$.

Arus basis dari Q_3 diberikan oleh,

$$I_{B3} = \frac{I_{C3}}{\beta}$$

Emitor Q_3 saat ini oleh,

$$I_{E3} = \left(\frac{\beta+1}{\beta}\right) I_{C3}$$

Melihat gambar 11.9, dapat dilihat bahwa $I_{E3} = I_{C2} + I_{B1} + I_{B2}$. Mengganti I_{C2} , I_{B1} dan I_{B2} , $I_{E3} = I_C + 2I_B$

begitu,

$$I_{E3} = \left(1 + \frac{2}{\beta}\right) I_C$$

Mengganti untuk I_{E3}

$$\left(\frac{\beta+1}{\beta}\right) I_{C3} = \left(1 + \frac{2}{\beta}\right) I_C$$

menata ulang,

$$I_C = \left(\frac{\beta + 1}{\beta + 2} \right) I_{C3}$$

Arus melalui R_1 diberikan oleh, $I_{R1} = I_{C1} + I_{B3}$

Tapi, $I_{C1} = I_{C2} = I_C$

$$I_{B3} = \frac{I_{C3}}{\beta}$$

Mengganti I_C dan sejak itu kita mendapatkan,

$$I_{R1} = \left(\frac{\beta + 1}{\beta + 2} \right) I_{C3} + \frac{I_{C3}}{\beta}$$

Karena itu,

$$I_{R1} = \left(\frac{\beta + 1}{\beta + 2} + \frac{1}{\beta} \right) I_{C3}$$

Dan akhirnya,

$$I_{C3} = \frac{I_{R1}}{1 + \frac{2}{\beta(\beta + 2)}}$$

Dari persamaan di atas kita dapat melihat bahwa jika

$$\frac{2}{\beta(\beta + 2)} \ll 1, I_{C3} \approx I_{R1}$$

Dan arus keluaran (dengan asumsi tegangan basis-emitor semua transistor menjadi 0,7 V) dihitung sebagai,

$$I_{C3} \approx I_{R1} = \frac{V_1 - V_{BE2} - V_{BE3}}{R_1}$$

Perhatikan bahwa arus keluaran sama dengan arus input I_{R1} yang pada gilirannya tergantung pada V_1 dan R_1 . Jika V_1 tidak stabil, arus keluaran tidak akan stabil. Dengan demikian rangkaian tidak bertindak sebagai sumber arus konstan yang diatur.

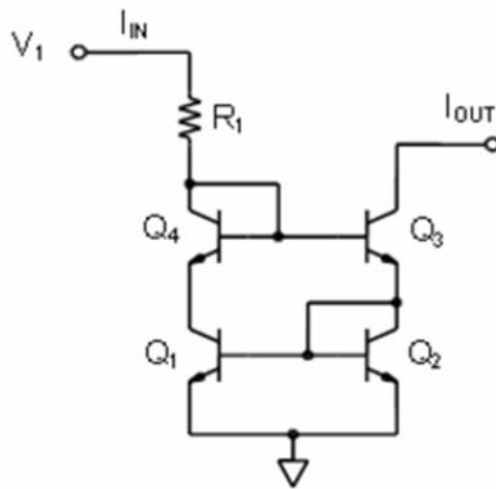
Agar berfungsi sebagai sumber arus konstan, R_1 harus diganti dengan sumber arus konstan.

Keuntungan lebih dari konfigurasi lain

Sirkuit ini memiliki keuntungan secara virtual menghilangkan ketidakcocokan arus basis dari cermin arus BJT konvensional sehingga memastikan bahwa arus keluaran I_{C3} hampir sama dengan arus referensi atau input I_{R1} . Ini juga memiliki impedansi keluaran yang sangat tinggi karena umpan balik negatif melalui Q_1 kembali ke basis Q_3 .

1.10.3 Perbaikan lebih lanjut (Current Wilson penuh)

Menambahkan transistor keempat ke cermin Wilson saat ini sederhana pada gambar 11.10, kami memiliki cermin Wilson yang dimodifikasi atau ditingkatkan. Input yang ditingkatkan untuk akurasi arus keluaran dicapai dengan menyamakan tegangan kolektor Q_1 dan Q_2 pada $1 V_{BE}$. Ini meninggalkan perbedaan hingga β dan tegangan masing-masing dari Q_1 dan Q_2 sebagai pengaruh ketidakseimbangan yang tersisa di cermin.



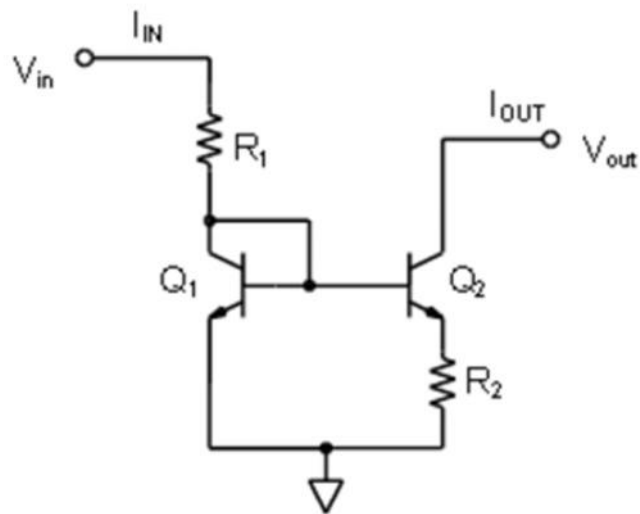
Gambar 11.10 Mirror Current Wilson yang ditingkatkan

1.11 Sumber arus widlar

Sumber arus Widlar adalah modifikasi dari cermin arus dua transistor dasar yang menggabungkan resistor degenerasi emitor hanya untuk transistor keluaran, memungkinkan sumber arus untuk menghasilkan arus rendah dengan hanya menggunakan nilai resistor moderat. Sirkuit ini dinamai untuk penemunya, Robert Widlar, dan dipatenkan pada tahun 1967.

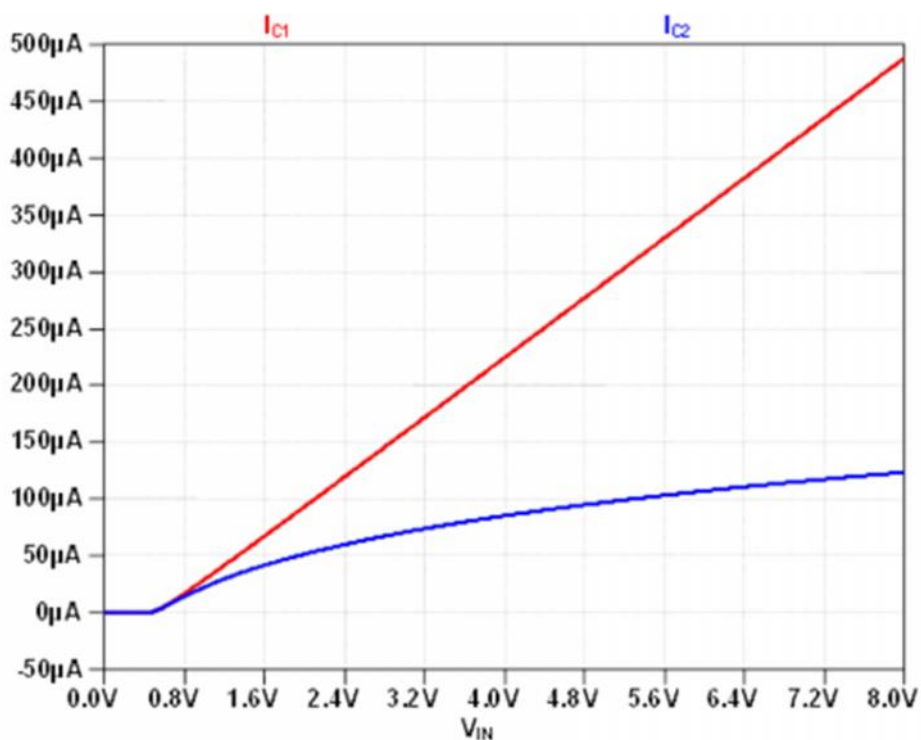
Sirkuit Widlar dapat digunakan dengan transistor bipolar atau transistor MOS. Contoh aplikasi adalah penguat operasional uA741 yang sekarang terkenal, dan Widlar menggunakan rangkaian dalam banyak desainnya.

1.11.1 Analisis



Gambar 11.11 Versi sumber arus Widlar menggunakan transistor bipolar.

Gambar 11.11 adalah contoh sumber arus Widlar menggunakan transistor bipolar, di mana resistor emitor R_2 dihubungkan secara seri dengan emitor output transistor Q_2 , dan memiliki efek mengurangi arus di Q_2 relatif terhadap Q_1 . Kunci dari rangkaian ini adalah bahwa penurunan tegangan melintasi resistor R_2 mengurangi dari tegangan basis-emitor dari transistor Q_2 , sehingga mengurangi arus kolektor dibandingkan dengan transistor Q_1 . Sebuah plot simulasi yang menunjukkan pengurangan I_{c2} ini disajikan pada Gambar 11.12.



Gambar 11.12 Plot arus kolektor Q_1 dan Q_2 $R_1 = 15K\Omega$, $R_2 = 300$

Pengamatan ini diungkapkan dengan menggunakan KVL di sekitar loop emitor basis dari sirkuit pada Gambar 11.11 sebagai:

$$V_{BE1} = V_{BE2} + I_{E2}R_2 = V_{BE2} + (\beta_2 + 1)I_{B2}R_2$$

Di mana β_2 adalah beta dari output transistor, yang mungkin tidak sama dengan transistor input, sebagian karena arus dalam dua transistor sangat berbeda. Variabel I_{B2} adalah arus basis dari transistor keluaran, V_{BE} mengacu pada tegangan basis-emitor. Jika kita mengabaikan efek hingga β dan menggunakan persamaan V_{BE} kita dapat memperoleh formula yang berguna untuk arus keluaran:

$$I_{OUT}R_2 = V_T \ln \frac{I_{IN}}{I_{OUT}}$$

di mana V_T adalah tegangan termal, $I_{IN} = I_{C1}$ dan $I_{OUT} = I_{C2}$.

Misalkan kita ingin membuat arus keluaran 100uA dari arus input 300uA seperti dalam plot simulasi pada gambar 11.12. V_T adalah 26mV kali $\ln(3)$ adalah 28.5mV. 28.5mV dibagi 100uA adalah 285 ohm. Persamaan ini membuat perkiraan bahwa arus keduanya jauh lebih besar dari arus saturasi I_{S1} , I_{S2} , perkiraan berlaku kecuali untuk level arus yang sangat rendah. Berikut ini perbedaan antara dua arus skala dijatuhkan, meskipun perbedaannya dapat menjadi penting, misalnya, jika dua transistor dirancang dengan area emitor yang berbeda.

1.12 Impedansi keluaran

